

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-091920

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

G02F 1/13
G01R 31/00

(21)Application number : 11-267219

(71)Applicant : CITIZEN WATCH CO LTD

(22)Date of filing : 21.09.1999

(72)Inventor : FURUKI TAKUO

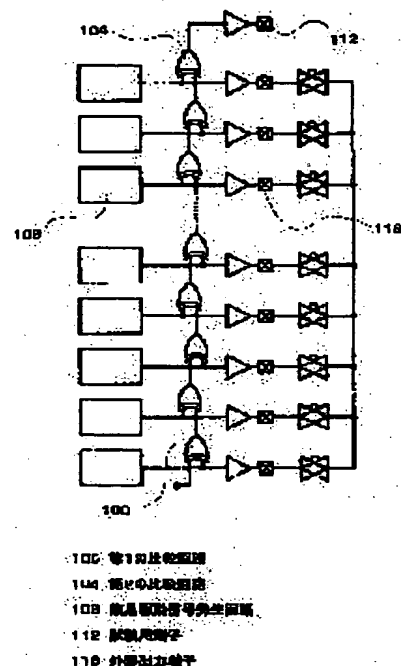
(54) TESTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a testing circuit having a testing waveform and plural comparator circuit capable of detecting erroneous of all outputs for an automatic measurement by liquid crystal driving signal generating circuits.

SOLUTION: This testing circuit has circuit constitution in which a comparator circuit consisting of an EXOR circuit is provided in each of liquid crystal driving signal generating circuits and these comparator circuits are connected in series and potentials of one sides of the comparator circuits are fixed and potentials of the other sides of the circuits are outputted to the outside at a detection terminal and performs an operating test in a state of non-contact with respect to external output

terminals of signal electrode driving ICs by using the input signal of the same picture data and the input signal of first picture data making a potential output in which an odd numbered-terminal output and an even numbered-terminal output are different to be an expected value and the input signal of second picture data making a potential output in which outputs are different for every two outputs at the output terminals to be an expected value to the signal driving electrode driving ICs.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-91920

(P2001-91920A)

(43) 公開日 平成13年4月6日(2001.4.6)

(51) Int. Cl.⁷

識別記号

FI

テマコード(参考)

G02F 1/13

101

G02F 1/13

101

2G036

G01R 31/00

G01R 31/00

2H088

審査請求 未請求 請求項の数 5

OL

(全6頁)

(21) 出願番号 特願平11-267219

(22) 出願日 平成11年9月21日(1999.9.21)

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 古木 拓夫

埼玉県所沢市大字下富字武野840番地

シチズン時計株式会社技術研究所内

Fターム(参考) 2G036 AA19 AA27 BA33 CA06

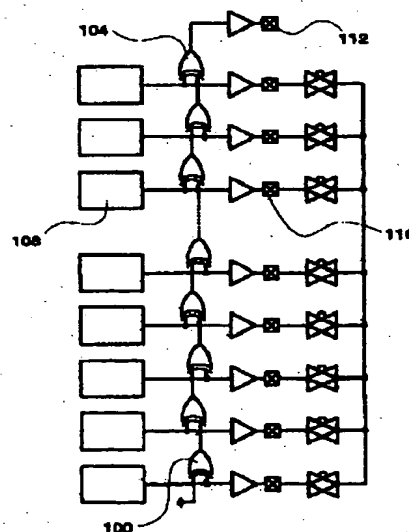
2H088 EA02 FA12 HA06 MA20

(54) 【発明の名称】 試験回路

(57) 【要約】

【課題】 液晶駆動信号発生回路の自動測定で全出力誤動作検出可能な試験波形と複数の比較回路を有する試験回路を提供することにある。

【解決手段】 複数ある液晶駆動信号発生回路にEXOR回路からなる比較回路をそれぞれ設けて、該比較回路を直列接続し、一方を電位固定し、一方を検出端子で外部出力する回路構成で、信号電極駆動ICに同一な画像データ入力信号と、奇数端子出力と偶数端子出力が異なる電位出力を期待値とする第1の画像データ入力信号と、前記出力端子で二出力毎に異なる電位出力を期待値とする第2の画像データ入力信号を用いて、前記信号電極駆動ICの前記外部出力端子に対し非接触で、動作試験を行う試験回路。



100 第1の比較回路

104 第2の比較回路

108 液晶駆動信号発生回路

112 試験用端子

116 外部出力端子

【特許請求の範囲】

【請求項 1】 複数ある液晶駆動信号発生回路と、当該回路の外部出力端子が並列に設けられ、当該液晶駆動信号発生回路が互いに同回路で構成された信号電極駆動 IC の動作試験において、前記液晶駆動信号発生回路に比較回路をそれぞれ設け、当該比較回路を直列接続することにより、前記信号電極駆動 IC に同一な画像データ入力信号と、同一でない第 1 の画像データ入力信号と、同一でない第 2 の画像データ入力信号を用いて、前記信号電極駆動 IC の前記外部出力端子に対し非接触で動作試験を行うことを特徴とする試験回路。

【請求項 2】 液晶表示のための画像データを記憶する記憶回路を有し、複数ある液晶駆動信号発生回路と、当該回路外部出力端子を備える信号電極駆動 IC の動作試験において、前記液晶駆動信号発生回路に比較回路をそれぞれ設け、当該比較回路を直列接続し、前記信号電極駆動 IC に同一な画像データ入力信号と、同一でない第 1 の画像データ入力信号と、同一でない第 2 の画像データ入力信号を用いて、前記信号電極駆動 IC の前記外部出力端子に対し非接触で動作試験を行うことを特徴とする試験回路。

【請求項 3】 前記液晶駆動信号発生回路に備える比較回路は、EXOR 回路で構成され、当該 EXOR 回路の一方の入力が隣接する EXOR 回路の出力と接続され、一方の入力が前記液晶駆動信号発生回路の出力と接続され、第 1 の EXOR 回路の一方の入力は上側のロジック駆動電位あるいは、下側のロジック駆動電位として、第 n の EXOR 回路の出力電位を検出することを特徴とする請求項 1 記載の試験回路。

【請求項 4】 前記第 1 の画像データ入力信号は、隣り合う複数の前記液晶駆動信号発生回路もしくは、前記画像データを記憶する記憶回路を有する液晶駆動信号発生回路に備えられた前記 EXOR 回路への入力信号が、直列接続された前記 EXOR 回路の二回路毎に、ロジック駆動電位が反転する信号であり、前記 EXOR 回路の総数が 4 の倍数であることを特徴とする請求項 1 又は 2 記載の試験回路。

【請求項 5】 前記第 2 の画像データ入力信号は、隣り合う複数の前記液晶駆動信号発生回路もしくは、前記画像データを記憶する記憶回路を有する液晶駆動信号発生回路に備えられた前記 EXOR 回路への入力信号が、直列接続された前記 EXOR 回路の二回路毎に、ロジック駆動電位が反転する信号であり、前記 EXOR 回路の総数が 4 の倍数であることを特徴とする請求項 1 又は 2 記載の試験回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶駆動用の信号電極駆動回路 IC および、画像データ記憶回路を搭載した信号電極駆動回路 IC の複数の信号電極端子に非接触

で行われる動作試験において、複数の比較回路を設けて動作試験する試験回路に関する。

【0002】

【従来の技術】 液晶駆動用の信号電極駆動回路 IC では、液晶を駆動する外部出力端子が複数あり、これを直接接触で、出力電位を検査することが出来ない。したがって、外部出力端子に非接触でかつ、全ての外部出力端子の出力電位を検査する試験回路および 1 つ以上の出力検出端子が必要になる。特にパルス幅変調（以下 PWM と略すことがある）や、ライン毎の画像データ記憶回路を有する場合には、内部ロジックの動作を検査する必要がある。前記外部出力端子を短絡した電流測定の手段もあるが、電流安定時間や、測定波形の入力と、電流測定とを切り替える時間を要してしまう。

【0003】 図 4 に、複数ある液晶駆動信号発生回路のロジック検査として構成される試験回路を示す。また図 5 に、図 4 で示す試験回路により検査可能な試験例を示す。図 6 にはパルス幅変調を有する前記液晶駆動信号発生回路の出力試験における試験例を示す。

【0004】 図 4 に示す試験回路は、複数個の AND 回路と、複数個の OR 回路と、第 1 の試験用端子 400 と、第 2 の試験用端子 404 と、第 1 の AND 回路 408 をプルアップし、第 1 の OR 回路 412 をプルダウンした回路で構成され、前記複数個ある AND 回路は、隣接する AND 回路を直列に接続し、第 2 の AND 回路 416 の出力を第 1 の試験用端子 400 から検出する論理構成とし、前記複数個ある OR 回路は、隣接する OR 回路を直列に接続し、第 2 の OR 回路 420 の出力を第 2 の試験用端子 404 から検出する論理構成としている。

【0005】 図 4 で、複数個の AND 回路のもう一方の入力に接続される液晶駆動信号発生回路 428 の出力が同一な上側のロジック駆動電位を出力するとき、AND 回路論理により上側のロジック駆動電位が第 1 の試験用端子 400 に検出される回路構成をとる。

【0006】 一方、図 4 の複数個の OR 回路も同様に、複数個の OR 回路のもう一方の入力に接続される液晶駆動信号発生回路 428 の出力が同一な下側のロジック駆動電位を出力するとき、OR 回路論理により下側のロジック駆動電位が第 2 の試験用端子 404 に検出される回路構成をとる。

【0007】 図 4 で示す回路は、前記した複数ある液晶駆動信号発生回路 428 および記憶回路（図示せず）を有する液晶駆動信号発生回路 428 の出力が、同一の信号出力である全出力端子同一出力試験を行う際に、第 1 の試験用端子 400 と、第 2 の試験用端子 404 から電位を検出することで、内部ロジックの解析も同時に検査する試験回路である。

【0008】 図 5 では、図 4 で示した前記液晶駆動信号発生回路 428 または前記記憶回路（図示せず）を有する液晶駆動信号発生回路 428 の出力ノードの波形を示

している。この場合、前記液晶駆動信号発生回路428の全出力が上側のロジック駆動電位となるような外部信号を入力したとき、期間1に示すような、一つ以上の前記出力波形が誤動作により排他的電位となれば、AND回路により第1の試験用端子400には下側のロジック駆動電位が検出され、試験結果はFAILとなる。同様に、前記液晶駆動信号発生回路428の全出力を下側のロジック駆動電位となるような外部信号を入力したときに、期間2のような、一つ以上の前記出力が誤動作により排他的電位であれば、OR回路により第2の試験用端子404に上側のロジック駆動電位が検出され、試験結果はFAILとなる。

【0009】例えば、図6に示すようなパルス幅変調で、特に表示する階調数が多い場合には、前記した液晶駆動信号発生回路428の電位状態の遷移が起きる期間だけでなく、パルス幅変調回路(図示せず)のロジック動作も検査する必要があるため、試験回数が増えてしまう。

【0010】図6では、例として16階調表示可能なパルス幅変調回路(図示せず)を備える信号電極駆動ICを示しているが、この場合、階調信号を発生する内部ロジックの誤動作を検査する必要があるため、複数ある前記液晶駆動信号発生回路428または画像データ信号を記憶する記憶回路(図示せず)の出力に対し、最低でも16ヶ所の電位を測定することが望ましい。図4の試験回路は、ロジックで構成される試験回路であるので、前記した16ヶ所を電位測定による試験が可能となる。

【0011】図6の複数の液晶駆動信号発生回路428の階調信号は、期間3において、AND回路側の試験回路により、第1の試験用端子400にFAILである下側のロジック駆動電位が検出され、期間4において、OR回路側の試験回路により、第2の試験用端子404にFAILである上側のロジック駆動電位が検出されることにより正常動作、非正常動作の判定が行える。

【0012】

【発明が解決しようとする課題】信号電極駆動ICの外部出力信号に対する試験では、複数個あるIC外部出力端子424を直接的に針等で接触させて外部出力電位の測定ができない。そのため、外部出力端子424をトランスファークラップ等の回路により短絡した電流測定により外部出力信号の状態を検査する方法や、試験用の回路を別に設ける方法がある。

【0013】外部出力信号の試験は、最低でも、信号電極駆動ICに複数個ある外部出力信号が、全て同一となるような画像データ入力信号を入力する全出力同一試験と、複数個ある外部出力信号のそれぞれに適切な画像データ入力信号が内部回路に記憶されて、適切なクロックのエッジで読み出され、外部出力信号が得られているかを試験する排他的出力試験が必要である。

【0014】ただし、試験時間を短縮することは、量産

ICにとって必要不可欠であるため、できる限り電位測定による検査方法を採用することが望ましい。図4に示した試験回路は、全出力同一試験に最も適しており、排他的出力試験の場合は、正確に所定の液晶駆動信号発生回路へ画像データ信号が配信されたかが未知である。

【0015】具体的に、複数個ある外部出力信号を発生する液晶駆動信号発生回路428のすべての内部ロジック動作を検査するためには、前記した全出力同一試験と、排他的出力試験の双方を、電位測定によって試験可能な試験回路が望ましい。

【0016】本発明の目的は、上記課題を解決するため、IC外部出力端子に非接触で、全出力同一試験と、排他的出力試験の双方を可能とする試験回路を提供することである。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明の試験回路は下記記載の構成を採用する。

【0018】複数ある液晶駆動信号発生回路と、該回路の外部出力端子が並列に設けられ、該液晶駆動信号発生回路が、互いに同回路で構成された信号電極駆動ICの動作試験において、複数ある前記液晶駆動信号発生回路に比較回路をそれぞれ設けて、該比較回路を直列接続し、前記信号電極駆動ICに同一な画像データ入力信号と、同一でない第1の画像データ入力信号と、同一でない第2の画像データ入力信号を用いて、前記信号電極駆動ICの前記外部出力端子に対し非接触で、動作試験を行うことを特徴とする。

【0019】液晶表示のための画像データを記憶する記憶回路を有し、複数ある液晶駆動信号発生回路と、該回路外部出力端子を備える信号電極駆動ICの動作試験において、複数ある前記液晶駆動信号発生回路に比較回路をそれぞれ設けて、該比較回路を直列接続し、前記信号電極駆動ICに同一な画像データ入力信号と、同一でない第1の画像データ入力信号と、同一でない第2の画像データ入力信号を用いて、前記信号電極駆動ICの前記外部出力端子に対し非接触で、動作試験を行うことを特徴とする。

【0020】複数ある前記液晶駆動信号発生回路に備える比較回路は、EXOR回路で構成され、該EXOR回路の一方の入力が隣接するEXOR回路の出力と接続され、一方の入力が前記液晶駆動信号発生回路の出力と接続され、第1のEXOR回路の一方の入力は上側のロジック駆動電位あるいは、下側のロジック駆動電位として、第nのEXOR回路の出力電位を検出することを特徴とする。

【0021】前記第1の画像データ入力信号は、隣り合う複数の前記液晶駆動信号発生回路あるいは、前記画像データを記憶する記憶回路を有する液晶駆動信号発生回路に備えられた前記EXOR回路への入力信号が、直列接続された前記EXOR回路の一回路毎に、ロジック駆

動電位が反転する信号であり、前記EXOR回路の総数が4の倍数であることを特徴とする。

【0022】前記第2の画像データ入力信号は、隣り合う複数の前記液晶駆動信号発生回路あるいは、前記画像データを記憶する記憶回路を有する液晶駆動信号発生回路に備えられた前記EXOR回路への入力信号が、直列接続された前記EXOR回路の二回路毎に、ロジック駆動電位が反転する信号であり、前記EXOR回路の総数が4の倍数であることを特徴とする。

【0023】

【発明の実施の形態】図1は本発明の実施例における試験回路の回路構成を示す説明図で、図2は図1に示す試験回路における試験例を示す説明図で、図3は図1に示す試験回路における試験例を示す説明図である。

【0024】図1は、本発明の実施例における試験回路で、EXOR回路からなる一方をプルアップされた第1の比較回路100と、複数のEXOR回路からなる比較回路と、EXOR回路からなる第2の比較回路104は、全て直列に接続されており、前記第2の比較回路104の出力信号を検出し、該出力信号を一つの試験用端子112で外部出力し、信号電極駆動ICの複数の外部出力端子のノードがトランスファークロークにより短絡可能である構成をとり、さらに試験回路の少なくとも片側のトランジスタをシリーズとし、試験回路に供給される電源電位を制御している。

【0025】図1に示すように、複数の比較回路は、複数の液晶駆動信号発生回路108または、画像データ保持用の記憶回路（図示せず）を有する液晶駆動信号発生回路108のそれぞれの信号出力ノードに接続されている回路構成である。

【0026】ICの良品判定には通常、自動測定可能なテストを用いるが、信号電極駆動ICは、複数の同一な液晶駆動信号発生回路108と外部出力端子116を備えており、該外部出力端子116を直接に針等により出力信号を検出することは、端子の数と、端子金属表面を傷つける問題から好ましくない。

【0027】図1の試験回路構成は、前記した複数の液晶駆動信号発生回路108の出力信号試験を行うため、前記外部出力端子116に非接触で、かつ信号検出のための試験用端子112を一つだけ備えている。

【0028】図1に示す試験回路は、信号電極駆動ICの外部出力信号の試験に用いられ、試験の項目には、外部出力信号が全外部出力端子116で同一な全出力同一試験に適用される。

【0029】図2は、図1で示す試験回路によって得られる試験例で、パルス幅変調により、16階調表示可能な液晶駆動信号を示している。したがって、試験用端子112からの信号検出回数およびPASS、FAILの判定は、最低16回である。図2に示す信号波形で、前記した液晶駆動信号発生回路108のそれぞれから出力

される信号の期待値が、すべて同一な電位である全出力同一試験で、全てが期間1のような期待値となるとき、プルアップされた第1の比較回路100と、EXOR回路論理により、上側のロジック駆動電位が試験用端子112より検出される。

【0030】もし、複数ある液晶駆動信号発生回路108のうち、奇数個の前記液晶駆動信号発生回路108に誤動作が生じ、期待値電位に対し反転した期間2のような信号となるとき、EXOR回路論理より試験用端子112には下側のロジック駆動電位が検出され、全出力同一試験はFAILとなる。

【0031】しかしながら、複数ある液晶駆動信号発生回路108のうち、偶数個の前記液晶駆動信号発生回路108に誤動作が生じ、期待値電位に対し反転した期間3のような信号となるとき、EXOR回路論理では、試験用端子112から上側のロジック駆動電位が検出され、全出力同一試験はPASSとなってしまう。

【0032】この場合、どの液晶駆動信号発生回路108が誤動作を起こしているか未知であるが、直列接続された前記EXOR回路の一回路毎に、ロジック駆動電位が反転する信号を期待値とするような画像データ信号と、直列接続された前記EXOR回路の二回路毎に、ロジック駆動電位が反転する信号を期待値とするような画像データ信号を用いる。図3は簡単のために、8個の液晶駆動信号発生回路108およびEXOR回路として示している。

【0033】図3に示すように、例えば何らかの誤動作を生じており、偶数個の液晶駆動信号発生回路108の誤動作でかつ、第1の比較回路100から数えて偶数番目と、奇数番目の液晶駆動信号発生回路108が、簡単のために、下側のロジック駆動電位しか出力しない状態であるとした場合に、前記したEXOR回路の一回路毎に反転する信号を期待値とする画像データ信号を入力すると、期間4で試験用端子112にはFAILである下側のロジック駆動電位が検出される。

【0034】また、図3で、偶数個の液晶駆動信号発生回路108の誤動作でかつ、第1の比較回路100から数えて偶数番目の液晶駆動信号発生回路108が下側のロジック駆動電位しか出力しない状態である場合には、前記したEXOR回路の二回路毎に反転する信号を期待値とする画像データ信号を入力すれば、期間5で試験用端子にはFAILである下側のロジック駆動電位が検出される。

【0035】しかしながら偶数個の液晶駆動信号発生回路108でかつ、第1の比較回路100から数えて偶数番目の液晶駆動信号発生回路108が期待値の反転信号を出力してしまう誤動作の場合には、EXOR回路で構成される試験回路ではFAILである信号を検出できない。

【0036】この場合には、任意に試験波形である一つ

10

20

30

40

50

の画像データ信号を用いて、複数個ある外部出力端子116を短絡可能なトランスファークロップ120により全出力端子116を短絡したのち、ロジック駆動電源間の電流測定を、16階調表示波形の16ヶ所ある状態遷移について行えば、内部の異常を検出することができる。このとき電流測定はクランプ値を設けるのが望ましい。

【0037】また、別の方法では、図1に示す試験回路で、外部入力される画像データ信号を記憶回路へ書き込むラッチクロックに対し、任意な時期に排他的である画像データ信号として、さらに書き込み時期を変化させて動作試験すれば、前記した偶数個の液晶駆動信号発生回路108でかつ、第1の比較回路100から数えて偶数番目の液晶駆動信号発生回路108が期待値の反転信号を出力してしまう誤動作の場合、一つの反転出力する誤動作回路に排他的画像データ信号が入力されると、F A I Lを検出することができる。

【0038】

【発明の効果】本発明の試験回路の回路構成は、信号電極駆動ICに関し、複数個ある外部出力端子に非接触で、前記液晶駆動信号発生回路の動作試験である全出力同一試験と、排他的出力試験の双方を可能とする。

【0039】前記試験において、全画像データ信号同一入力と、第1の画像データ入力信号と、第2の画像データ入力信号と、前記した任意時期の排他的な画像データ信号を用いることで、液晶駆動信号発生回路の動作試験のほかに、信号電極駆動ICの周波数特性と、前記ラッ

チクロックと画像データ信号のセットアップタイム、ホールドタイムの測定も可能となる。

【0040】したがって、電位測定による試験項目が増えるため、試験に要する時間も短縮される。表示階調数の多いICでは、試験回数が増大するので、試験時間に比例する試験コストも低減できる。

【0041】また、試験回路はEXOR回路であるので、最低10ヶのトランジスタとなり、試験用端子も最低一つ備えれば前記試験が全て可能となる。

【図面の簡単な説明】

【図1】本発明の実施例における試験回路を示す説明図である。

【図2】本発明の実施例における試験波形を示す説明図である。

【図3】本発明の実施例における試験波形を示す説明図である。

【図4】従来例における試験回路を示す説明図である。

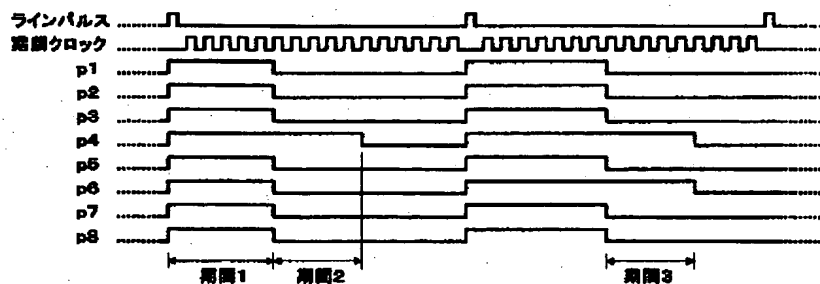
【図5】従来例における試験波形を示す説明図である。

【図6】従来例における試験波形を示す説明図である。

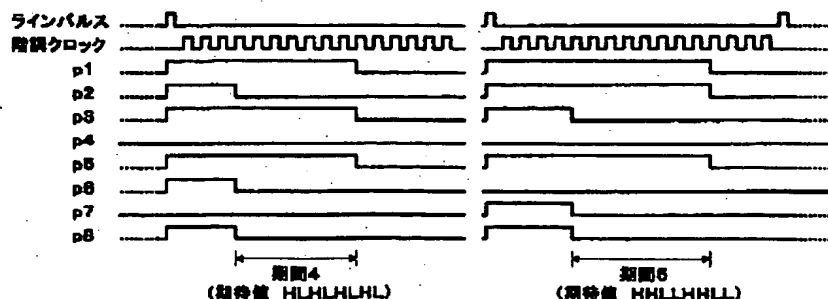
【符号の説明】

- 100 第1の比較回路
- 104 第2の比較回路
- 108 液晶駆動信号発生回路
- 112 試験用端子
- 116 外部出力端子

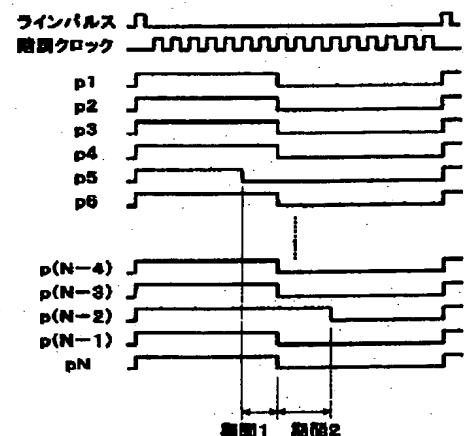
【図2】



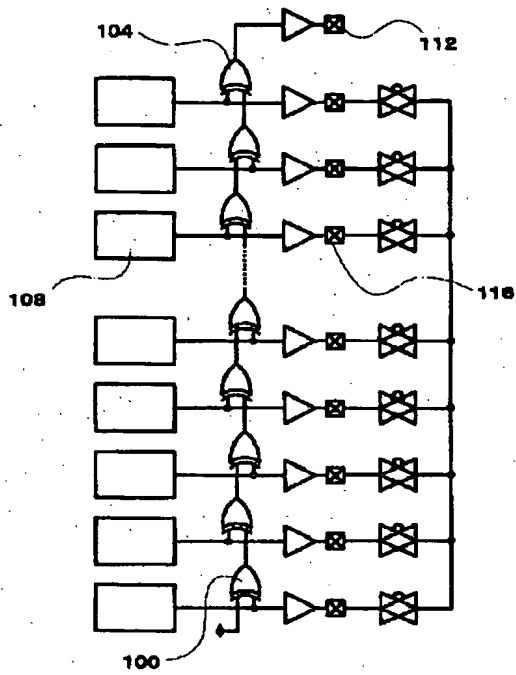
【図3】



【図6】

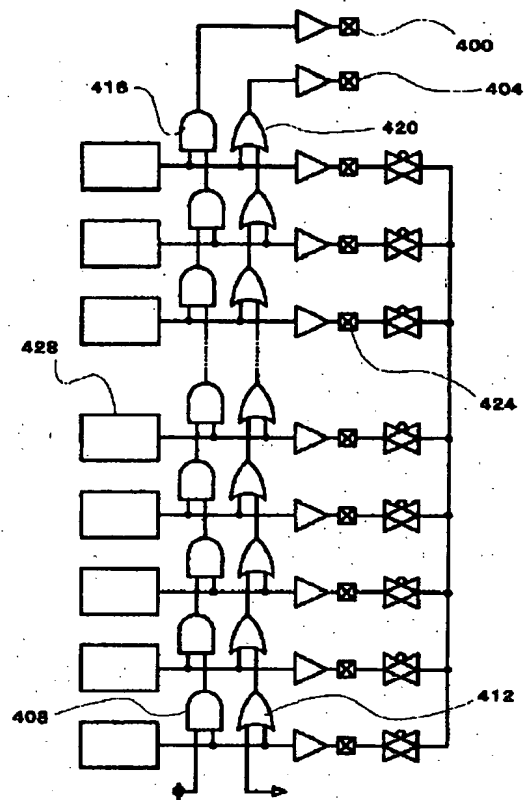


【図1】



- 100 第1の比較回路
 104 第2の比較回路
 108 液晶駆動信号発生回路
 112 試験用端子
 116 外部出力端子

【図4】



【図5】

